

# eGaN® FETの熱管理



## 動機

エンハンスメント・モード窒化ガリウム (eGaN®) FETは、超高速スイッチングと低オン抵抗と共に、高電力密度能力のすべてを小さな形状で提供します。ただし、達成可能な電力レベルは、極端な熱流束密度による過熱によって制限されます。適切に管理しないと、発生した熱によって、過度の自己発熱と高温が発生し、信頼性と性能が低下する可能性があります。そのため、大出力デバイスには、熱管理対策が不可欠であり、eGaN® FETのチップスケール・パッケージによって、基板側と裏面 (すなわち、パッケージ) において、多くの設計上の利点を活用して放熱を向上させることができます。

このアプリケーション・ノートでは、GaN FETからの熱伝導率を高め、熱特性を最適化するための簡単な熱管理ガイドラインを示します。さらに、2個のアクティブなGaN FETを備えた開発基板を冷却するための簡単で効果的な熱管理ソリューションのケース・スタディを紹介します。

## 概要

パッケージ封止された電子デバイスは、2つの主要な熱伝導経路 (基板側のプリント回路基板と裏面のパッケージ) を介して、発生した熱を放散します。どちらも熱管理対策の恩恵を受けられます。発生した熱の放散に対する最初の熱抵抗は、接合部から基板まで ( $R_{\theta JB}$ )、および接合部からパッケージまで ( $R_{\theta JC}$ ) のFETの構造にあります。熱伝導に対する熱抵抗は、一般的に次のように記述されます:

$$R_{\theta JX} = \frac{T_J - T_X}{P}$$

ここで、

$R_{\theta JX}$  あるいは、 $\theta_{JX}$  (°C/WまたはK/W) = 接合部から基準位置Xまでの熱抵抗

$T_J$  (°CまたはK) = 定常状態でのデバイスの接合部温度

$T_X$  (°CまたはK) = 基準位置の温度 (基板 (B)、パッケージ (C)、周囲 (A))

$P$  (W) = デバイスで消費される電力

これらの2つの熱抵抗は、デバイスの構造と使用する材料の熱伝導率に依存するため、FETごとに異なります。ウエハーレベルのチップスケール・パッケージ (WLCSP) のGaN FETの場合、パッケージへの熱抵抗がシリコン・デバイスよりも低いため (図1)、接合部からパッケージ

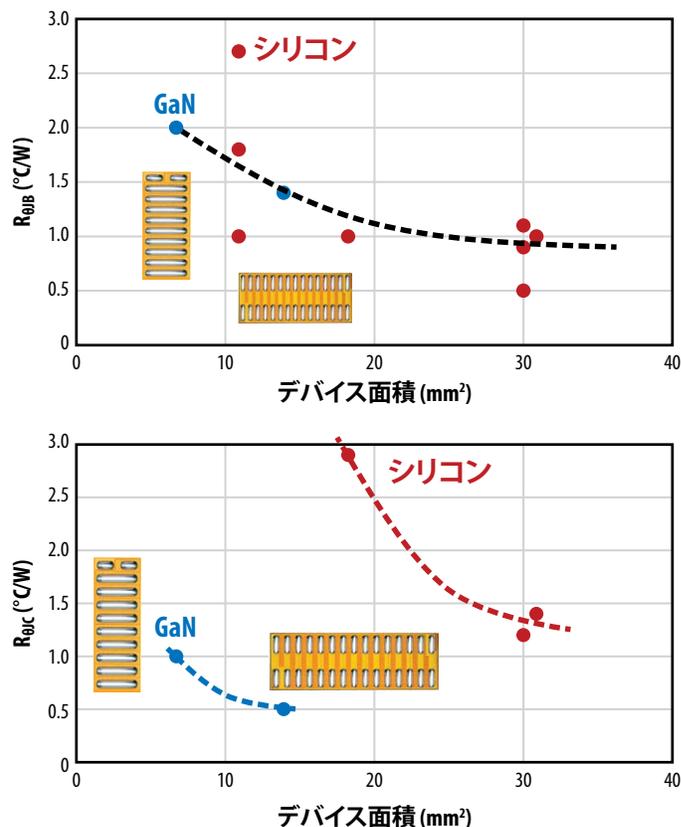


図1: GaNデバイスとシリコン・デバイスの間の接合部からパッケージ、および接合部から基板への熱抵抗の比較。

への経路は、良好な熱伝導率を提供します。最適な熱処理を保証する簡単な方法で、 $R_{\theta JC}$ と $R_{\theta JB}$ の両方を使って大きな利点を得ることができます。

## 接合部から基板への熱改善対策

最大温度上昇 (°CまたはK)、および結果として生じる全体的な熱抵抗 (K/W) は、静止空気中の周囲温度 ( $R_{\theta JA}$ ) または移動する空気 ( $R_{\theta JMA}$ ) に関連したデバイス接合部での最高温度として記録します。基板への熱抵抗は、GaN FETデバイスの全体的な自己発熱を決定する熱伝導経路のネットワークの1つの要素です。

図2の簡略化された回路モデルは、2つのFETを備えたプリント回路基板の標準的なレイアウト内の接合部から周囲への主な熱伝導経路を表しています。FETの面積はプリント回路基板の面積よりもはるかに小さいため、パッケージを介してFETから周囲に放散される熱は最小限に抑えられ、熱抵抗 $R_{\theta CA}$ は大きくなります。この結果、裏面冷却がない場合、FETからの主な熱放散経路はプリント回路基板を経由します。そのため、基板側で良好な熱伝導率を確保する必要があります。

FETから基板への熱伝導は、主にプリント回路基板の伝導層内の銅トレースによって運ばれます。電気抵抗を低くするために銅トレースを厚く設計すると、熱抵抗も向上し、プリント回路基板の各層に高い熱伝導率の媒体が提供されます。例えば、2オンス (oz) の銅層は、横方向に1 ozの銅層の2倍のコンダクタンスを持っています。さらに、面内熱伝導率は層の数に比例して依存し、層が多いほど熱を放散する経路が多くなります。

面の貫通方向では、銅層を分離する絶縁誘電体層の熱伝導率が低いため、熱放散が妨げられます。この問題は、誘電体層をブリッジし、発生した熱をプリント回路基板内部の銅層に運ぶ熱伝導率の高い経路を提供するために、FETの下や近くにビアを配置することで部分的に克服できます。次に、内部の層は熱拡散に寄与し、基板への熱抵抗 ( $R_{\theta JB}$ )、そして最終的には周囲の空気への熱抵抗 ( $R_{\theta JA}$ ) をさらに減少させます。詳細な熱シミュレーションに示されているように、FETのパッドの近くまたは下に戦略的に配置したサーマル・ビアは、自己発熱 ( $\Delta T$ ) を最大33%削減できます (図3)。

シミュレーションでモデル化されたビアは、挿入図に記載されているビア・イン・パッド・メッキ・オーバー (Via-in-Pad-Plated-Over: VIPPO) 構造になっています。

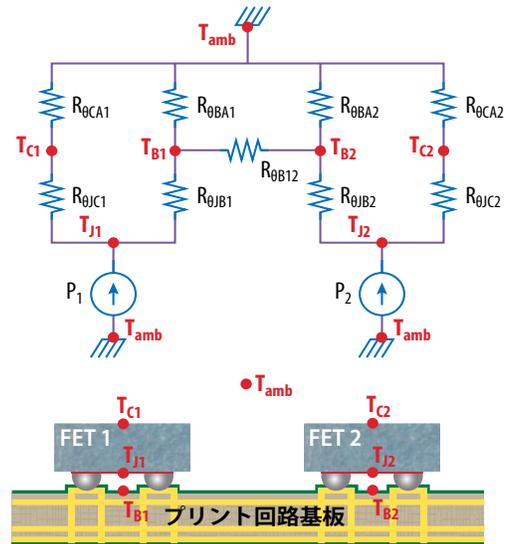


図2: FETのレイアウトの主な熱伝導経路と関連する温度ノードを示す簡略化した熱抵抗ネットワーク・モデル。

**ビア・イン・パッド・メッキ・オーバー**

- 壁の厚さ=IPC標準クラス2当たり 0.78ミル (1ミルは0.0254mm)
- 穴の直径 (標準) = 7.8ミル
- 環状リング=直径の最小値13.8ミル
- メッキ・オーバー
- 非導電性充填
- 基板の両側にテント
- バンプの下および部品パッドの近くに使用
- 最大2オンス (2.8ミル / 70 μm) の銅の厚さで使用可能

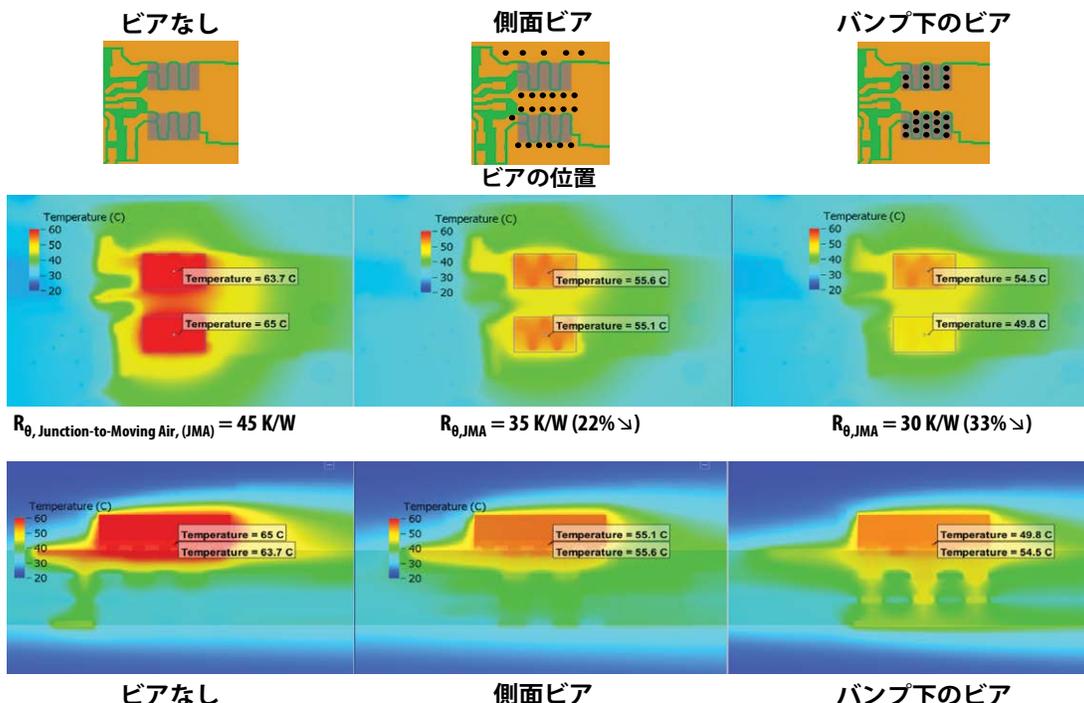
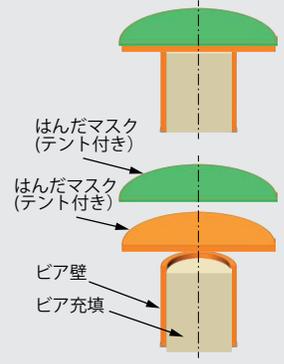


図3: FETパッドの近くと真下のサーマル・ビアを含むさまざまな構成のプリント回路基板の熱特性の比較。

## 接合部からパッケージへの熱改善対策

GaN FETデバイスからの放熱のもう1つの経路は、「パッケージ」(つまりチップ)を経由する経路です。これは、ウエハーレベルのチップスケール・パッケージ(WLCSP)・デバイスの場合、基板側よりもはるかに低い熱抵抗( $R_{\theta JC}$ )であり、他のタイプのパッケージ・デバイスよりも低い熱抵抗が得られます。FETの露出したチップ領域は、周囲の空気との大きな熱交換には小さすぎるため、単純な熱管理対策を実装すると、裏面の冷却を大幅に改善できます。

チップと接触するヒートスプレッドを追加すると、横方向に熱が伝導され、デバイスの有効表面積が増加し、動作温度が低下します。周囲の空気との熱交換面積をさらに増やすために、ヒートシンクをヒートスプレッドに取り付けることができます。ヒートスプレッドとヒートシンクの最適な性能を確実にするには、アルミニウムや銅などの高導電性材料を使う必要があります(図4)。

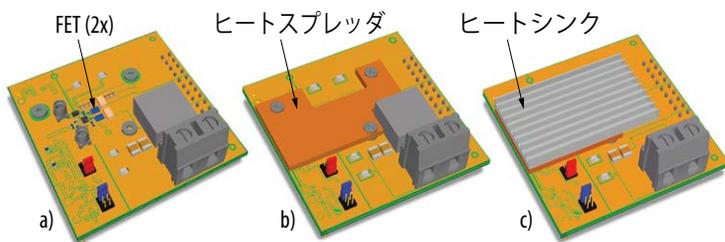


図4:a)裏面冷却なし、b)銅製ヒートスプレッド付き、c)アルミニウム製ヒートシンク付きの各プリント回路基板。注:ヒートスプレッドとヒートシンクは、組み合わせても独立して使ってもかまいませんが、熱流束はまだ、プリント回路基板に流れ込みます。

## ヒートシンク装着のアプローチ

ヒートシンクをGaN FETとICに取り付けるための簡単で組み立てやすいアプローチを図5に示します。デバイスとヒートシンクの間の界面の熱伝導率を高めるための熱伝導材料(TIM:thermal interface material)が使われています。これによって、電気的絶縁も得られます。

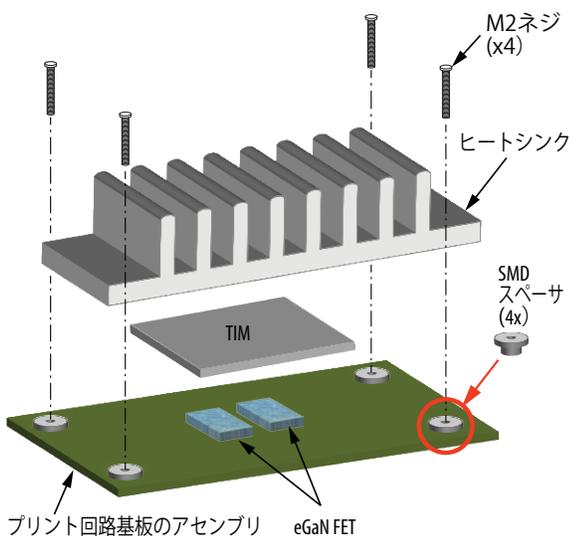


図5:ネジを使ったヒートシンクのアセンブリの例。

す。SMDスペーサは、TIMに対するヒートシンクとGaNデバイスの間の適切な距離を維持し、ヒートシンクのしっかりとした機械的装着を実現できます。SMDスペーサよりも高さが高い部品を、ヒートシンクの下に配置してはいけません。

## 熱伝導材料(TIM)の性質に関する考察

裏面冷却用に追加するヒートスプレッド/ヒートシンクの装着では、表面の粗さと熱接触の欠陥による熱伝導に対する抵抗を追加するいくつかのインターフェースを導入します。さらに、部品とアタッチメントとの間のエアギャップは、熱伝導には効果的ではありません。ここで直面する熱抵抗を克服するために、熱伝導材料(TIM)を使って熱的な接触を改善し、界面で良好なコンダクタンスを提供します。TIM材料には、パッド、ゲル、液体ギャップ・フィラーなど、いくつかの形態があります。

TIMの選択は、いくつかの選択基準に基づく必要があります。まず、TIMは、良好な熱伝導率と低い熱抵抗を確実にするために、良好な熱伝導率( $\kappa$ )を備えていなければなりません。 $\kappa > 3 \text{ W/m.K}$ の適切な値は、費用対効果が高くなります。 $\kappa > 15 \text{ W/m.K}$ に達する高性能のTIMが利用可能ですが、より高価なため、最適な熱コンダクタンスを得るためにFETのインターフェースで使えます。上側のFETのパッケージは、スイッチ・ノードの電位にあり、熱ソリューションから電気的に絶縁しなければならないため、電気抵抗率はGaN FETチップにとっても重要です(図6)。台湾T-グローバルテクノロジーのA1780およびA6200のTIMは、それぞれ高い $\kappa = 17.8 \text{ W/m.K}$ 、および中程度の $6.2 \text{ W/m.K}$ で、熱的および電気的に優れたTIMの例です。

TIMを選択するときのもう1つの考慮事項は、ある圧縮率(材料のデータシートに記載されている厚さのパーセンテージ)でチップに加えられる圧縮力です。この圧縮力は、GaN FETの応力限界を超えてはなりません。一般に、大きなデバイスは、より大きな力に耐えることができ、LGAデバイスは、同じサイズの同等のBGAデバイスよりも大きな力に耐えることができます。eGaN FETとICの最大推奨圧力は、テスト結果に基づいて、総パンプ面積の $40 \text{ PSI/mm}^2$ であり、一般にGaNデバイスの場合は $50 \text{ PSI}$ です。

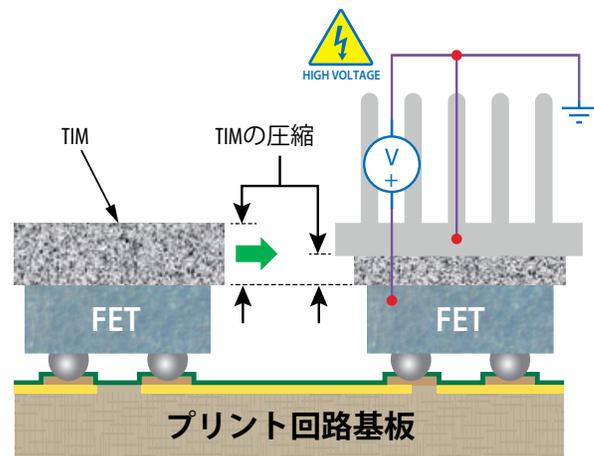


図6:GaN FETとIC用のTIMパッドを備えたヒートシンク・アタッチメントの図。

小さいGaNFETの場合、チップの側面の面積が表面と裏面に匹敵するため、側面は熱コンダクタンスに大きく貢献できます。例えば、0.9 mm×0.9 mm×0.625 mmのFETである **EPC2038**の表面と裏面の面積は1.62 mm<sup>2</sup>で、4面の合計は2.25 mm<sup>2</sup>です。この結果、4つの面を利用して放熱を増やすこともできます。

これは、独Bergquist Companyの液体ギャップ・フィラー-GF4000 ( $\kappa=4\text{W/m.K}$ )などのギャップ・フィラー材料をFETの側面の周りに追加することで実現できます。このフィラーは、ギャップエアを優れた熱伝導材料に置き換え(図7)、したがって、GaNデバイスの4つの面から基板および裏面冷却ソリューションへの熱伝導のための優れた媒体になります。

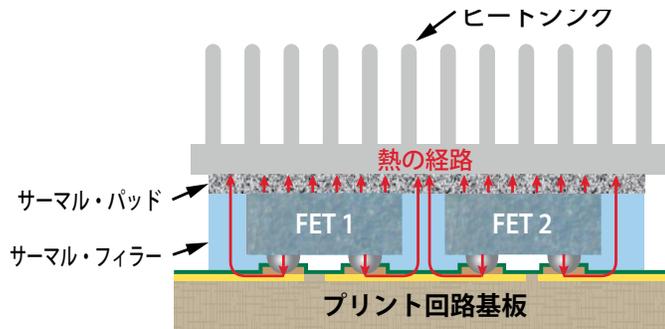


図7:TIMパッドとサーマル・ギャップ・フィラーを使った熱ソリューションの取り付けを示す図。

図2の抵抗回路モデルは、図8に変更され、パッケージからシンク ( $R_{\theta CS}$ ) およびシンクから周囲 ( $R_{\theta CS}$ ) への熱伝導を表す裏面 (パッケージ) 冷却の追加の熱抵抗が含まれています (図9)。この基板は、金属シム、スペーサ、ギャップ・フィラーを介してシンクにも接続されているため、基板とシンクの間にも熱伝導が存在し、( $R_{\theta BS}$ ) で表されます。熱ソリューションが取り付けられた後、熱抵抗ネットワークによって、多くの熱抵抗が追加されるように見えるかもしれませんが、 $R_{\theta CS}$  と  $R_{\theta SA}$  の合計熱抵抗は、理想的には  $R_{\theta CA}$  よりもはるかに低くなります。したがって、全体的な効果は、熱抵抗全体の改善になります。

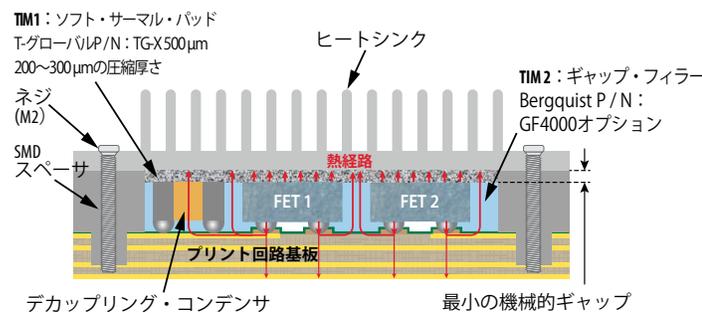


図8: ヒートシンク、SMDスペーサ、TIMパッド、ギャップ・フィラーを備えた包括的な熱ソリューションのアセンブリの図。

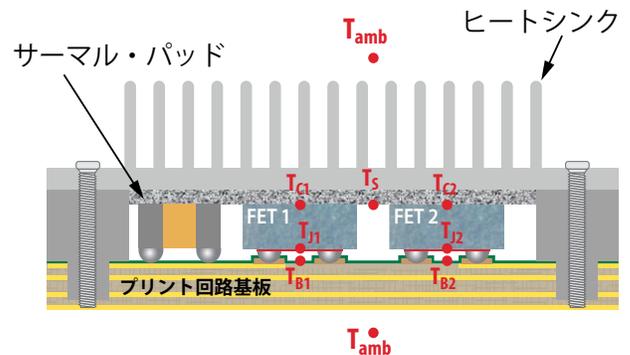
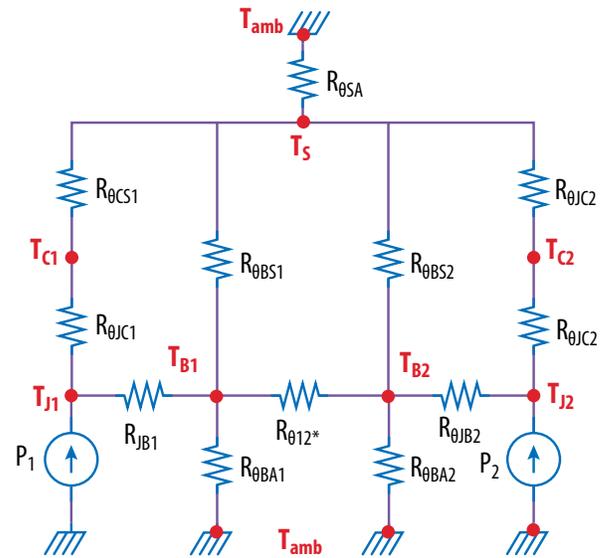


図9: ヒートシンクのアタッチメントを備えた熱抵抗回路モデルと、対応する断面画像。注:  $T_s$ は、FETの位置が均一であると仮定しています。

### ヒートスプレッドとヒートシンクの性能

ヒートスプレッドとヒートシンクを取り付けることによる熱の改善は、冷却が必要な主要な熱源と見なされている2個のGaN FET (**EPC2204**) を搭載した開発基板 **EPC9097** を使って実証されています。表1では、複数のシナリオが検討されています。最初のモデルは、銅製ヒートスプレッド ( $\kappa \approx 400 \text{ W/m.K}$ ) が、M2ネジとSMDスペーサを使って基板に取り付けられています。高性能TIMのTG-A1780 ( $\kappa = 17.8 \text{ W/m.K}$ ) が、FETとヒートスプレッドの間に使われています (図2)。2番目のモデルでは、同じタイプのTIMを使って、アルミニウム製ヒートシンクがヒートスプレッドに取り付けられています。各FETには1 Wの電力損失が割り当てられています。このプリント回路基板は、強制対流冷却のために20°Cで400 LFMのエアフロー内に配置されます。表1のモデルは、基板側の冷却のみが存在する基準モデルとも比較され、ビア配置の影響も分析されます。最高温度は、熱モデルから抽出され、全体の熱抵抗は、各FET電力 (1W) に対する周囲温度を参照して計算されます。各経路の熱抵抗を比較するために、基板側およびパッケージ側から放散される熱の割合も報告されます。

表1の熱分析の結果は、裏面冷却がなくても、基板設計を改善すると、基板への熱コンダクタンスが向上し、温度が最大30%低下する可能性があることを示しています(図3)。基板側の冷却と比べて、FETにヒートスプレッドを追加すると、全体の熱抵抗が34K/Wから22K/Wに(約40%)減少し、ヒートシンクは、周囲に対する全体の熱抵抗を約15 K/W(基準から60%減少)に減少させました。裏面冷却に対する熱抵抗を低減することによって、パッケージを介して放散される熱の割合は、ヒートスプレッドを使った場合は2%(基準)から45%に、ヒートシンクを取り付けた場合は61%に増加しました。接合部からシンクまでの熱抵抗が4.9K/Wであることを考えると、ヒートシンク・ソリューションを改善すると(フィンを大きくし、エアフローを増やす)、全体の熱抵抗が14.9K/Wにさらに低下する可能性があります。

## 結論

アクティブなGaN FETからの熱コンダクタンスを改善するために、簡単に費用対効果の高い熱管理対策の詳細な概要を示しました。基板側の冷却対策と裏面(パッケージ)の冷却対策の両方について説明しました。基板側の冷却に限定すると、FETの下または近くにサーマル・ビアを戦略的に配置すると、基板のコンダクタンスが大幅に向上し、熱が基板の内側の銅層に効果的に放散され、ピーク動作温度が約30%低下します。さらに、WLCSPのGaN FETの接合部からパッケージへの熱抵抗が低い場合、裏面には、かなりの熱冷却の可能性があります。

詳細なシミュレーションで示されているように、ヒートスプレッドやヒートシンクの取り付けなどの簡単な熱管理対策によって、デバイスの有効熱放散面積を増やし、FETの温度を最大60%下げることができました。優れた熱的考察と簡単な熱管理対策によって、小型チップスケールのデバイスを適切に冷却すれば、大電力用途で信頼性の高い特性を実現できます。

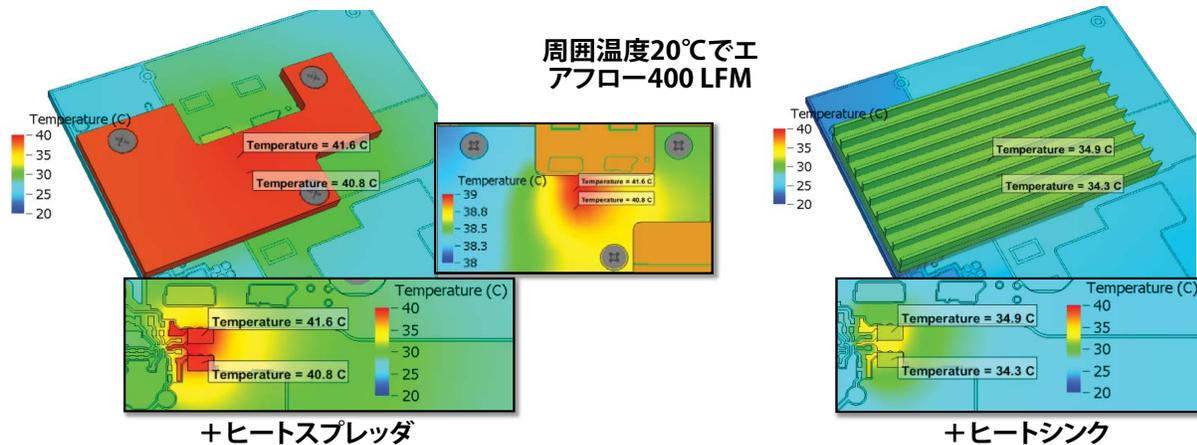


図10: ヒートスプレッドとヒートシンクのソリューションを備えたFET (EPC2204) を搭載したプリント回路基板EPC9097の熱シミュレーション結果。

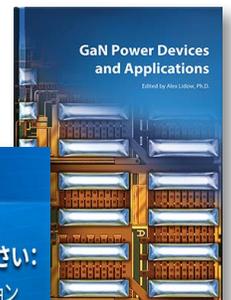
表1: 分析されたさまざまな場合の熱シミュレーション結果の要約

パッケージ	$R_{th,JMA}$ (K/W)	改善率	プリント回路基板から抽出した熱の割合	パッケージから抽出した熱の割合	$R_{th,JS}$ (K/W)
ビアなし	45.0	-28%	96	3	—
側面のビア*	35.6	-7%	97	2	—
パッドの下のビア(基準)	34.5	—	97	2	—
+ヒートスプレッド	21.6	39%	54.5	45	4.9
ヒートスプレッド+ヒートシンク	14.9	60%	38.5	61	4.9

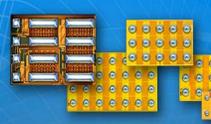
\* より深刻な電氣的劣化

詳細については、以下の資料を参照してください。

- 書籍: GaNパワー・デバイスとアプリケーション
- ウェビナ: GaNデバイスの性能を最大化するためのレイアウト手法
- ウェブ・ベースのサーマル・カリキュレータ



## オンデマンド GaNのウェビナ・シリーズ



焦点を絞ったウェビナのEPCのGaNエキスパートに参加してください:  
 • 設計のヒント・GaNのアプリケーション  
 • 市場のサクセス・ストーリー・信頼性

詳細については、  
[info@epc-co.com](mailto:info@epc-co.com)に電子メールで

またはお近くの販売代理店にお尋ねください  
 EPCのウェブサイト: [epc-co.com/epc/jp/](http://epc-co.com/epc/jp/)

[bit.ly/EPCupdates](http://bit.ly/EPCupdates) に登録すれば、  
 EPCの最新情報を受信できます。

